






STRIP CONDUCTOR ARRANGEMENT AND METHOD FOR PRODUCING A STRIP CONDUCTOR ARRANGEMENT**Publication number:** DE10140754**Publication date:** 2003-03-27**Inventor:** SCHINDLER GUENTHER (DE)**Applicant:** INFINEON TECHNOLOGIES AG (DE)**Classification:****- international:** H01L21/768; H01L23/522; H01L21/70; H01L23/52;
(IPC1-7): H01L23/522; H01L21/768**- European:** H01L21/768B6; H01L23/522C**Application number:** DE20011040754 20010820**Priority number(s):** DE20011040754 20010820**Also published as:** WO03019649 (A3) WO03019649 (A3) WO03019649 (A2) EP1419525 (A3) EP1419525 (A3)

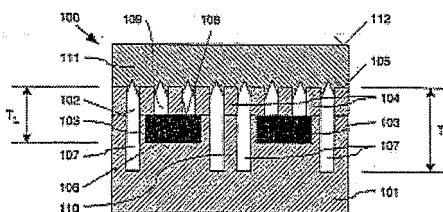
more >>

Report a data error here

Abstract not available for DE10140754

Abstract of corresponding document: **WO03019649**

The invention relates to a conductor arrangement (100) containing a substrate (101) made from a first insulating material with a substrate surface (102), wherein at least two conductors (103) are arranged next to each other in the substrate (101). Said arrangement also comprises a buffer layer (104) made from a second insulating material arranged on the substrate (101) and a buffer layer surface (105) which is parallel to the substrate surface (102), at least one cavity (107) arranged between the conductors (103) preferably protruding deeper into the substrate (101) deeper than the conductors (103) in the substrate in relation to the buffer surface layer (105) and a covering layer made from a third insulating material (111) arranged on the buffer layer (104) and which completely closes the cavity (107) in relation to the buffer layer surface (105).



Data supplied from the esp@cenet database - Worldwide



⑮ **BUNDESREPUBLIK
DEUTSCHLAND**



**DEUTSCHES
PATENT- UND
MARKENAMT**

⑫ **Offenlegungsschrift**
⑩ **DE 101 40 754 A 1**

⑤ Int. Cl.⁷:
H 01 L 23/522
H 01 L 21/768

⑳ Aktenzeichen: 101 40 754.8
㉔ Anmeldetag: 20. 8. 2001
㉕ Offenlegungstag: 27. 3. 2003

DE 101 40 754 A 1

⑦① Anmelder:
Infineon Technologies AG, 81669 München, DE

⑦④ Vertreter:
Viering, Jentschura & Partner, 80538 München

⑦② Erfinder:
Schindler, Günther, Dr., 80802 München, DE

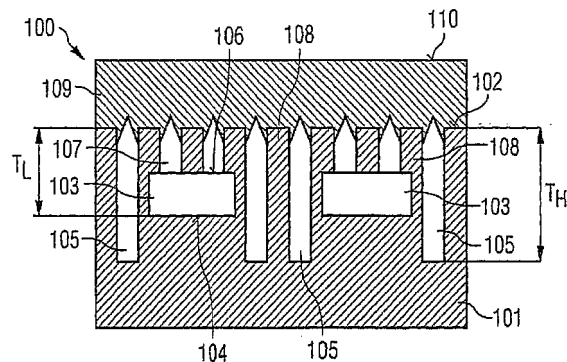
⑥⑥ Entgegenhaltungen:
B. Shieh et al.: Air Gaps Lower K of Interconnect Dielectrics, in: Solid State Technology 51, Febr. 1999, S. 51-58;
T. UEDA et al.: A Novel Air Gap Integration Scheme for Multilevel Interconnects Using Self-Aligned Via Plugs, in: 1998 Symp. on VLSI Techn. Dig. of Techn. Papers, S. 46-47;
T. KUSUKI et al.: Spontaneous Etching of SiO₂ Employing H₂/NF₃ Downstream Plasma, in: Extended Abstracts of the Electrochemical Society Vol. 93, No. 1, 1993, S. 375-376;

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑥④ Leiterbahnanordnung und Verfahren zum Herstellen einer Leiterbahnanordnung

⑥⑦ Eine Leiterbahnanordnung (100) weist auf einem Substrat (101) mit einer Substratoberfläche (102) mindestens zwei nebeneinander in dem Substrat (101) angeordnete Leiterbahnen (103), mehrere zwischen den Leiterbahnen (103) angeordnete, bezüglich der Substratoberfläche (102) tiefer als die Leiterbahnen (103) in das Substrat (101) hineinragende Hohlräume (105), und eine das Substrat (101) überdeckende Schicht (109), welche die Hohlräume (105) vollständig abschließt, auf.



DE 101 40 754 A 1

[0001] Die Erfindung betrifft eine Leiterbahnanordnung und ein Verfahren zum Herstellen einer Leiterbahnanordnung.

[0002] Integrierte Schaltungsanordnungen werden mit immer höherer Packungsdichte erzeugt. Dies hat zur Folge, dass Leiterbahnen in Metallisierungsebenen einen immer kleineren Abstand voneinander aufweisen. Dadurch steigen Kapazitäten, die zwischen den Leiterbahnen gebildet werden und zu hohen Signallaufzeiten, hoher Verlustleistung und Übersprechen führen. Bisher wurde zur Isolation zwischen den Leiterbahnen hauptsächlich SiO_2 als Dielektrikum verwendet, dessen relative Dielektrizitätskonstante $\epsilon_r = 3,9$ beträgt.

[0003] Es sind einige Methoden zum Reduzieren der relativen Dielektrizitätskonstante ϵ_r und damit zum Reduzieren der Kapazität zwischen Leiterbahnen innerhalb einer Leiterbahnebene bekannt, beispielsweise aus [1], [2] oder [3].

[0004] Gemäß dem Stand der Technik werden Hohlräume zwischen den Leiterbahnen innerhalb einer Leiterbahnebene erzeugt. Das isolierende Dielektrikum, das die Kapazität zwischen den Leiterbahnen bestimmt, weist somit eine relative Dielektrizitätskonstante ϵ_r auf, die fast gleich Eins ist. Die Leiterbahnen selbst sind dabei zur Isolation oben und unten von massiven SiO_2 -Schichten eingeschlossen.

[0005] Da zur Gesamtkapazität zwischen innerhalb einer Schicht benachbarten Leiterbahnen auch in nicht unerheblichem Maße die Kapazitäten der darunter und darüber liegenden isolierenden Schichten beitragen und diese isolierenden Schichten nach wie vor aus SiO_2 -Vollmaterial bestehen, hat die hohe relative Dielektrizitätskonstante ϵ_r dieser isolierenden Schichten einen beträchtlichen Einfluss auf die Gesamtkapazität zwischen den benachbarten Leiterbahnen.

[0006] Der Erfindung liegt somit das Problem zugrunde, eine Leiterbahnanordnung sowie ein Verfahren zum Herstellen einer Leiterbahnanordnung anzugeben, bei der/dem die Hohlräume zwischen den Leiterbahnen bei geeigneter Geometrie und Verteilung einen möglichst großen Raum einnehmen.

[0007] Das Problem wird durch eine Leiterbahnanordnung sowie durch ein Verfahren zum Herstellen einer Leiterbahnanordnung mit den Merkmalen gemäß den unabhängigen Patentansprüchen gelöst.

[0008] Eine Leiterbahnanordnung weist ein Substrat mit einem ersten Isolationsmaterial und einer Substratoberfläche auf. Des Weiteren sind mindestens zwei Leiterbahnen in dem Substrat angeordnet, welche ein elektrisch leitfähiges Material aufweisen. Die Leiterbahnanordnung weist außerdem mehrere von der Substratoberfläche aus in das Substrat hineinragende Hohlräume auf, welche zwischen den Leiterbahnen angeordnet sind und bezüglich der Substratoberfläche tiefer als die Leiterbahnen in das Substrat hineinragen. Das Substrat wird von einer Schicht überdeckt, welche ein zweites Isolationsmaterial aufweist und die Hohlräume vollständig abschließt.

[0009] Bei einem Verfahren zum Herstellen einer Leiterbahnanordnung werden zunächst in einem Substrat unter einer Substratoberfläche mindestens zwei Leiterbahnen erzeugt, wobei das Substrat ein erstes Isolationsmaterial und die Leiterbahnen ein elektrisch leitfähiges Material aufweisen. Die Leiterbahnen werden dabei nebeneinander in dem Substrat angeordnet. Daraufhin werden von der Substratoberfläche aus in das Substrat hineinragende, zwischen den Leiterbahnen sich erstreckende Hohlräume erzeugt, wobei sich die Hohlräume tiefer in das Substrat hinein erstrecken als die Leiterbahnen. Schließlich wird über dem Substrat eine Schicht aus einem zweiten Isolationsmaterial erzeugt,

wodurch die Hohlräume vollständig abgeschlossen werden. Das Substrat, die vergrabenen Leiterbahnen und die Schicht bilden somit die Leiterbahnanordnung.

[0010] Ein Vorteil der Erfindung ist darin zu sehen, dass auf Grund der sehr großen Hohlräume als isolierende Schicht zwischen benachbarten Leiterbahnen die relative Dielektrizitätskonstante ϵ_r der isolierenden Schicht zwischen den benachbarten Leiterbahnen nur gering von Eins abweicht und somit die Kapazität zwischen diesen Leiterbahnen reduziert wird. Die Leiterbahnanordnung ermöglicht eine erhebliche Reduzierung der Gesamtkapazität innerhalb einer integrierten Schaltung.

[0011] Ein weiterer Vorteil der Leiterbahnanordnung ist, dass die Hohlräume unerwünschte Streufelder zwischen den Leiterbahnen, welche von den Leiterbahnen oberhalb bzw. unterhalb der tatsächlichen Leiterbahnebene in der Leiterbahnanordnung erzeugt werden, erheblich reduzieren. Somit beträgt die effektive relative Dielektrizitätskonstante ϵ_r für die gesamte Leiterbahnanordnung in etwa Zwei. Dabei ist der Wert der effektiven relativen Dielektrizitätskonstante ϵ_r von der Geometrie der gesamten Leiterbahnanordnung abhängig.

[0012] Darüber hinaus ergibt sich der Vorteil einer hohen Stabilität während der Herstellung der Leiterbahnanordnung, da beim Planarisieren der Leiterbahnen in einem chemisch-mechanischen Poliervorgang (CMP) während der Erzeugung der Leiterbahnen diese noch in dem massiven Substrat eingebettet sind. Erst nach dem Erzeugen der Leiterbahnen werden die Hohlräume in das Substrat eingebracht und somit wird die mechanische Stabilität des Substrats erst dann reduziert.

[0013] Außerdem werden Koppelkapazitäten zwischen den Leiterbahnen auf Grund von Ätz- und/oder CMP-Stoppschichten vermieden.

[0014] Denn diese Stoppschichten werden während des Erzeugens der Hohlräume, vorzugsweise mittels Ätzung, derart unterbrochen, dass benachbarte Leiterbahnen mittels einer solchen Stoppschicht keinen Berührungskontakt aufweisen.

[0015] In den Hohlräumen befindet sich nach Fertigstellung der Leiterbahnanordnung bevorzugt Luft, Vakuum oder ein elektrisch isolierendes Gas, beispielsweise Schwefelhexafluorid (SF_6).

[0016] Vorzugsweise erstrecken sich die Hohlräume teilweise in die auf dem Substrat befindliche Schicht. Dies trägt zu einer weiteren Reduzierung der effektiven relativen Dielektrizitätskonstante ϵ_r bei.

[0017] In einer bevorzugten Weiterbildung der erfindungsgemäßen Leiterbahnanordnung reicht die auf dem Substrat befindliche Schicht teilweise in die Hohlräume hinein. Dabei weist die Schicht von der Substratoberfläche aus betrachtet in den Hohlräumen eine abnehmende Dicke auf. Diese Ausgestaltung der Leiterbahnanordnung ergibt sich aus dem zum Herstellen der Hohlräume bzw. der Schicht verwendeten Verfahren, welches weiter unten beschrieben wird. Dabei ist die abnehmende Dicke der Schicht innerhalb der Hohlräume wichtig, damit gemäß dieser Ausgestaltung der Erfindung keine Erhöhung der effektiven relativen Dielektrizitätskonstante ϵ_r verursacht wird.

[0018] Vorzugsweise befinden sich zwischen den Leiterbahnen und der Substratoberfläche über den Leiterbahnen weitere Hohlräume. Diese weiteren Hohlräume können folglich weniger tief in das Substrat hineinragen als die Hohlräume, da die weiteren Hohlräume von den Leiterbahnen nach unten begrenzt werden. Die weiteren Hohlräume ermöglichen eine zusätzliche Reduzierung der effektiven relativen Dielektrizitätskonstante ϵ_r , da folglich auch oberhalb der Leiterbahnen auf eine massive Isolationsschicht mit ho-

her effektiver relativer Dielektrizitätskonstante ϵ_r verzichtet wird.

[0019] Um auf die Leiterbahnanordnung weitere Leiterbahnebenen aufbringen zu können, ist die Schicht bevorzugt von einer parallel zur Substratoberfläche angeordneten Schichtoberfläche begrenzt.

[0020] Vorzugsweise sind die Leiterbahnen im Wesentlichen in gleicher Tiefe zur Substratoberfläche angeordnet und ragen die Hohlräume im Wesentlichen senkrecht in das Substrat hinein.

[0021] Gemäß einer Ausführungsform der Leiterbahnanordnung sind die Leiterbahnen von einer dünnen Kapselschicht aus einem Kapselmateriale eingekapselt. Dabei ist das Kapselmateriale mechanisch härter als das elektrisch leitfähige Material sowie mechanisch härter als das erste Isolationsmateriale. Das Einkapseln der Leiterbahnen dient einer Erhöhung der Elektromigrationsfestigkeit der Leiterbahnen, wenn als erstes Isolationsmateriale ein mechanisch weiches Material, beispielsweise ein organisches Material, gewählt wird. Das Kapselmateriale kann beispielsweise eine Nitrid-Verbindung sein.

[0022] Vorzugsweise sind/ist das erste Isolationsmateriale und/oder das zweite Isolationsmateriale ein low-k-Materiale, das eine relative Dielektrizitätskonstante ϵ_r im Bereich zwischen 1 und 4 hat. Da auch die Schicht, welche die Leiterbahnanordnung vollständig überdeckt und in vertikaler Richtung zur Substratoberfläche elektrisch isolierend abschirmt, einen Beitrag zur Gesamtkapazität zwischen benachbarten Leiterbahnen liefert, sollte darauf geachtet werden, dass auch das für die Schicht verwendete zweite Isolationsmateriale eine niedrige relative Dielektrizitätskonstante ϵ_r aufweist.

[0023] In einer bevorzugten Weiterbildung der erfindungsgemäßen Leiterbahnanordnung weisen/weist das erste Isolationsmateriale und/oder das zweite Isolationsmateriale ein organisches Material auf. Das erste Isolationsmateriale der Leiterbahnanordnung weist jedoch bevorzugt Siliziumdioxid (SiO_2) auf. Bei der Verwendung von organischem Material werden bevorzugt Polymere in einer Methan-Umgebung während eines PECVD-Prozesses (PECVD = plasma enhanced chemical vapor deposition = plasmaangeregte chemische Gasphasenabscheidung) aufgebracht.

[0024] Bei einem bevorzugten Verfahren zur Herstellung einer Leiterbahnanordnung werden vor dem Erzeugen der Schicht in dem Substrat zwischen der Substratoberfläche und den Leiterbahnen weitere Hohlräume über den Leiterbahnen erzeugt. Dabei werden die weiteren Hohlräume von den Leiterbahnen nach unten begrenzt, so dass sich die weiteren Hohlräume in geringerer Tiefe in das Substrat hinein erstrecken als die Hohlräume.

[0025] Vorzugsweise werden die in dem Substrat vergrabenen Leiterbahnen mit einer dünnen Kapselschicht aus einem Kapselmateriale eingekapselt. Dabei wird ein Kapselmateriale verwendet, welches mechanisch härter als das elektrisch leitfähige Material sowie mechanisch härter als das erste Isolationsmateriale ist.

[0026] In einer bevorzugten Weiterbildung des Verfahrens wird die Schicht über dem Substrat und den Hohlräumen in einem Prozess mit einer geringen Kantenbedeckung, also in einem nicht-konformen Verfahren, erzeugt. Solch ein Prozess stellt sicher, dass nur geringfügig zweites Isolationsmateriale, aus welchem die Schicht gebildet wird, in die Hohlräume eindringen kann. Somit wird eine unerwünschte Füllung der Hohlräume mit zweitem Isolationsmateriale behindert. Das zweite Isolationsmateriale der Schicht wird vorzugsweise mittels eines CVD-Prozesses (CVD = chemical vapor deposition = chemische Gasphasenabscheidung) mit möglichst geringer Kantenbedeckung hauptsächlich auf der

Substratoberfläche abgeschieden. Dazu wird der CVD-Prozess im diffusionsbestimmten Parameterbereich, vorzugsweise mittels Druckerhöhung, betrieben. Statt mittels eines CVD-Prozesses kann das zweite Isolationsmateriale zur Herstellung der Schicht auch mittels eines Sputter-Prozesses hergestellt werden. Ein möglicherweise tief in die Hohlräume eingedrungenes zweites Isolationsmateriale kann während einer Unterbrechung der Schichterzeugung mit Hilfe einer kurzen isotropen Ätzung, beispielsweise nasschemisch oder auch trocken in einem Downstream-Ätzprozess, wieder entfernt werden. Ein solcher erfindungsgemäß einsetzbarer Downstream-Ätzprozess ist in [4] beschrieben. Alternativ kann das zweite Isolationsmateriale auch mittels eines Aufschleuderverfahrens, eines sogenannten "Spin-on Prozesses", aufgebracht werden, wenn das zweite Isolationsmateriale eine ausreichende Oberflächenspannung aufweist. Dabei sollte die Benetzung der Substratoberfläche so gering wie möglich gehalten werden, damit so wenig wie möglich zweites Isolationsmateriale in die Hohlräume eindringt.

[0027] Die Erzeugung der Schicht kann beispielsweise derart erfolgen, dass zunächst zweites Isolationsmateriale mittels eines nicht-konformen Verfahrens über der Substratoberfläche abgeschieden wird, bis die Hohlräume in dem Substrat nach oben abgeschlossen sind. Anschließend wird darüber zweites Isolationsmateriale mittels eines konformen Standardverfahrens abgeschieden. Die Geometrie der Hohlräume sollte derart gewählt werden, dass während des nicht-konformen Verfahrens kaum zweites Isolationsmateriale in die entstehenden Hohlräume eindringt. Dadurch kommt es zu einer nur sehr geringen Bedeckung der Hohlraumwände mit zweitem Isolationsmateriale, wodurch die relative Dielektrizitätskonstante ϵ_r der gesamten Leiterbahnanordnung nur unwesentlich beeinflusst wird. Bei kleineren Strukturgrößen wie beispielsweise einer hochintegrierten Schaltung (VLSI-Schaltung = very large scale integration) kann keine Bedeckung der Hohlraumwände mit zweitem Isolationsmateriale mehr festgestellt werden.

[0028] Vorzugsweise werden die Leiterbahnen im Wesentlichen parallel zur Substratoberfläche angeordnet sowie die Hohlräume im Wesentlichen senkrecht in das Substrat hineinragend erzeugt.

[0029] Ein Ausführungsbeispiel der Erfindung ist in den Figuren dargestellt und wird im folgenden näher erläutert. Dabei bezeichnen gleiche Bezugszeichen gleiche Komponenten.

[0030] Es zeigen

[0031] Fig. 1 einen Querschnitt senkrecht zur Substratoberfläche durch eine Leiterbahnanordnung gemäß einem Ausführungsbeispiel der Erfindung;

[0032] Fig. 2 einen Querschnitt senkrecht zur Substratoberfläche durch eine noch nicht fertiggestellte Leiterbahnanordnung gemäß Fig. 1 zu einem ersten Zeitpunkt während eines ersten Verfahrensteils zum Herstellen der Leiterbahnanordnung gemäß dem Ausführungsbeispiel;

[0033] Fig. 3 einen Querschnitt senkrecht zur Substratoberfläche durch eine noch nicht fertiggestellte Leiterbahnanordnung gemäß Fig. 1 zu einem zweiten Zeitpunkt während des ersten Verfahrensteils zum Herstellen der Leiterbahnanordnung gemäß dem Ausführungsbeispiel;

[0034] Fig. 4 einen Querschnitt senkrecht zur Substratoberfläche durch eine noch nicht fertiggestellte Leiterbahnanordnung gemäß Fig. 1 zu einem dritten Zeitpunkt während des ersten Verfahrensteils zum Herstellen der Leiterbahnanordnung gemäß dem Ausführungsbeispiel;

[0035] Fig. 5 einen Querschnitt senkrecht zur Substratoberfläche durch eine noch nicht fertiggestellte Leiterbahnanordnung gemäß Fig. 1 zu einem vierten Zeitpunkt während des ersten Verfahrensteils zum Herstellen der Leiter-

bahnanordnung gemäß dem Ausführungsbeispiel;

[0036] Fig. 6 einen Querschnitt senkrecht zur Substratoberfläche durch eine noch nicht fertiggestellte Leiterbahnanordnung gemäß Fig. 1 zu einem ersten Zeitpunkt während eines alternativen ersten Verfahrensteils zum Herstellen der Leiterbahnanordnung gemäß dem Ausführungsbeispiel;

[0037] Fig. 7 einen Querschnitt senkrecht zur Substratoberfläche durch eine noch nicht fertiggestellte Leiterbahnanordnung gemäß Fig. 1 zu einem zweiten Zeitpunkt während des alternativen ersten Verfahrensteils zum Herstellen der Leiterbahnanordnung gemäß dem Ausführungsbeispiel;

[0038] Fig. 8 einen Querschnitt senkrecht zur Substratoberfläche durch eine noch nicht fertiggestellte Leiterbahnanordnung gemäß Fig. 1 zu einem dritten Zeitpunkt während des alternativen ersten Verfahrensteils zum Herstellen der Leiterbahnanordnung gemäß dem Ausführungsbeispiel;

[0039] Fig. 9 einen Querschnitt senkrecht zur Substratoberfläche durch eine noch nicht fertiggestellte Leiterbahnanordnung gemäß Fig. 1 zu einem ersten Zeitpunkt während eines zweiten Verfahrensteils zum Herstellen der Leiterbahnanordnung gemäß dem Ausführungsbeispiel;

[0040] Fig. 10 einen Querschnitt senkrecht zur Substratoberfläche durch eine noch nicht fertiggestellte Leiterbahnanordnung gemäß Fig. 1 zu einem zweiten Zeitpunkt während des zweiten Verfahrensteils zum Herstellen der Leiterbahnanordnung gemäß dem Ausführungsbeispiel; und

[0041] Fig. 11 einen Querschnitt parallel zur Substratoberfläche durch die Leiterbahnanordnung gemäß dem Ausführungsbeispiel der Erfindung aus Fig. 1.

[0042] Fig. 1 zeigt einen Querschnitt senkrecht zur Substratoberfläche 102 durch eine Leiterbahnanordnung 100 gemäß einem Ausführungsbeispiel der Erfindung.

[0043] Die Leiterbahnanordnung 100 weist ein Substrat 101 mit einer Substratoberfläche 102 auf. Als Substratmaterial wird ein erstes Isolationsmaterial, gemäß diesem Ausführungsbeispiel massives Siliziumdioxid (SiO_2), gewählt. In dem Substrat 101 befinden sich mehrere vergrabene Leiterbahnen 103, welche derart nebeneinander angeordnet sind, dass die jeweilige untere Leiterbahnoberfläche 104 senkrecht zur Substratoberfläche 102 einen Abstand einer Leiterbahntiefe T_L aufweisen, welche größer als die vertikale Dicke der Leiterbahnen 103 ist. Die Leiterbahnen 103 weisen ein leitfähiges Material, gemäß dem vorliegenden Ausführungsbeispiel Aluminium oder Kupfer, auf.

[0044] Zwischen den Leiterbahnen 103 ragen von der Substratoberfläche 102 aus Hohlräume 105 in das Substrat 101 hinein, welche eine Hohlraumtiefe T_H aufweisen. Die Hohlraumtiefe T_H ist größer als die Leiterbahntiefe T_L , wodurch Streufelder zwischen benachbarten Leiterbahnen 103 in den Bereichen des Substrates 101 direkt oberhalb und unterhalb der Leiterbahnen 103 reduziert werden. In den Bereichen des Substrates 101 zwischen den Leiterbahnen 103 und der Substratoberfläche 102 befinden sich auf der oberen Oberfläche 106 zumindest eines Teils der Leiterbahnen 103 weitere Hohlräume 107, welche ebenfalls zur Reduzierung von Streufeldern beitragen. Die Hohlräume 105 und die weiteren Hohlräume 107 sind derart im Substrat 101 angeordnet, dass sich dazwischen Pfosten 108 befinden. Die Form der Pfosten 108 ist beliebig und gleicht gemäß dem vorliegenden Ausführungsbeispiel einem geraden Prisma mit quadratischer Grundfläche. Alternativ könnten als Pfosten 108 beispielsweise auch Säulen mit kreisförmiger Grundfläche zur Anwendung kommen.

[0045] Auf der Substratoberfläche 102 befindet sich eine Schicht 109 aus einem zweiten Isolationsmaterial, gemäß diesem Ausführungsbeispiel massives Siliziumdioxid (SiO_2), welche die Hohlräume 105 sowie die weiteren Hohlräume 107 in Richtung Substratoberfläche 102 abschließt.

Die Schicht 109 wird von einer parallel zur Substratoberfläche 102 ausgerichteten Schichtoberfläche 110 nach oben begrenzt. Die Schichtoberfläche 110 dient dazu, auf die Leiterbahnanordnung 100 in einfacher Weise in nachfolgenden Prozessen weitere Schichten mit Halbleiterbauelementen oder Kontaktelementen aufbringen zu können.

[0046] Während der Herstellung der Schicht 109 konnte Siliziumdioxid (SiO_2) in die Hohlräume 105 zwischen benachbarten Leiterbahnen 103 sowie in die weiteren Hohlräume 107 über den Leiterbahnen 103 eindringen. Dadurch wurde eine dünne Bedeckung der Hohlraumwände mit Siliziumdioxid (SiO_2) verursacht. Je kleiner der Abstand benachbarter Pfosten 108 zueinander ist, desto geringer ist die Bedeckung der Hohlraumwände. Die Schicht 109 reicht folglich zu einem kleinen Teil in die Hohlräume 105 und in die weiteren Hohlräume 107 hinein, wobei dort die Dicke der Schicht 109 mit zunehmendem Abstand von der Substratoberfläche 102 abnimmt. Dies ist ein Resultat des bevorzugten Verfahrens, mit dem die Schicht 109 erzeugt wird und welches weiter unten beschrieben wird. Bei alternativen Herstellungsverfahren kann die Schicht 109 bündig mit der Substratoberfläche 102 abschließen, so dass in die Hohlräume 105 und die weiteren Hohlräume 107 kein zweites Isolationsmaterial der Schicht 109 gelangt.

[0047] Der Abstand der Pfosten 108 sowie deren Geometrie sollten bevorzugt derart gewählt werden, dass die Leiterbahnanordnung 100 eine ausreichend gute Tragfähigkeit für die Schicht 109 sowie für weitere über der Leiterbahnanordnung 100 angeordnete Schichten und Metallisierungsebenen aufweist. Gemäß diesem Ausführungsbeispiel weisen die Pfosten 108 jeweils eine Breite auf, welche fast gleich dem Abstand der Pfosten 108 ist. Die Hohlraumtiefe T_H weist gemäß diesem Ausführungsbeispiel einen Wert auf, welcher der zweifachen Dicke der Leiterbahnen 103 entspricht. Alternativ können auch andere Maße für die Breite und/oder den Abstand der Pfosten 108 und/oder für die Hohlraumtiefe T_H im Vergleich zur Dicke der Leiterbahnen 103 gewählt werden.

[0048] Die Grundfläche der Pfosten 108 sollte dabei in etwa der minimalen Strukturgröße des Halbleiterchips entsprechen, in welchem die Leiterbahnanordnung 100 eingesetzt wird.

[0049] Im Folgenden wird schrittweise ein Herstellungsverfahren zur Bildung der Leiterbahnanordnung 100 gemäß dem Ausführungsbeispiel der Erfindung beschrieben. Dabei unterteilt sich das Verfahren in einen ersten Teil mit zwei verschiedenen Ausgestaltungen sowie in einen zweiten, gemeinsamen Teil. Bei der ersten Ausgestaltung des ersten Verfahrensteils wird die Damascene-Technik und bei der zweiten Ausgestaltung des ersten Verfahrensteils die Metallätztechnik eingesetzt. Die Damascene-Technik wird vorzugsweise eingesetzt, wenn als Material für die Leiterbahnen 103 Kupfer verwendet wird, während die Metallätztechnik vorzugsweise eingesetzt wird, wenn als Material für die Leiterbahnen 103 Aluminium verwendet wird. Während des zweiten Verfahrensteils wird das Ergebnis des ersten Verfahrensteils weiterbearbeitet, weshalb der zweite Verfahrensteil für beide Ausführungsformen des ersten Verfahrensteils gleich ist.

[0050] In Fig. 2 ist ein Querschnitt senkrecht zur Substratoberfläche 202 durch eine noch nicht fertiggestellte Leiterbahnanordnung 200 zu einem ersten Zeitpunkt während der ersten Ausgestaltung des ersten Verfahrensteils zum Herstellen der Leiterbahnanordnung 100 gemäß Fig. 1 gezeigt.

[0051] Als Grundlage für die Damascene-Technik wird ein Substrat 201 mit einer Substratoberfläche 202 verwendet. Das Substratmaterial ist Siliziumdioxid (SiO_2). In dem Substrat 201 befinden sich Gräben 203, welche mittels übli-

cher Lithographie- und Ätztechniken von der Substratoberfläche 202 aus in dem Substrat 201 gebildet werden. Dabei entsprechen die Formen und Positionen der Gräben 203 denjenigen der späteren Leiterbahnen 103. Insbesondere entspricht die Tiefe der Gräben 201 bevorzugt der Dicke der späteren Leiterbahnen 103.

[0052] Zum Festlegen der Tiefe der Gräben 203 kann in das Substrat 201 in einem vorherbestimmten Abstand zur Substratoberfläche 202 auch eine Ätzstoppschicht eingebracht sein. Während des Ätzverfahrens zum Erzeugen der Gräben 203 wird solange Substratmaterial in der Tiefe des Substrats 201 entfernt, bis die Ätzstoppschicht erreicht ist.

[0053] Über dem Substrat 201 mit den Gräben 203 wird anschließend in einem üblichen Metallisierungsverfahren Kupfer abgeschieden (vgl. noch nicht fertiggestellte Leiterbahnanordnung 300 in Fig. 3). Über der Substratoberfläche 202 wird somit eine Metallschicht 301 aus Kupfer gebildet. Dabei werden die Gräben 203 mit Kupfer überfüllt und gefüllte Gräben 302 gebildet.

[0054] Zum Erzeugen einer ebenen Oberfläche wird die Metallschicht 301 flächig abgetragen, bis das Substrat 201 erreicht wird (vgl. noch nicht fertiggestellte Leiterbahnanordnung 400 in Fig. 4). Dazu wird ein chemisch-mechanischer Poliervorgang verwendet. Gemäß der vorliegenden Ausführungsform ist die ebene Oberfläche mit der Substratoberfläche 202 identisch. Dabei wird das die gefüllten Gräben 203 überfüllende Kupfer entfernt und somit aus den gefüllten Gräben 203 Leiterbahnen 401 gebildet.

[0055] Auf dem Substrat 201 mit den Leiterbahnen 401 wird eine Deckschicht 501 aus Siliziumdioxid (SiO_2) eingebracht (vgl. noch nicht fertiggestellte Leiterbahnanordnung 500 in Fig. 5). Die Deckschicht 501 wird von einer Deckschichtoberfläche 502 parallel zur Substratoberfläche 202 nach oben begrenzt. Dabei wird die Dicke der Deckschicht 501 derart bemessen, dass daraus zwischen den Leiterbahnen 401 und der Deckschichtoberfläche 502 die gewünschte Leiterbahntiefe T_L resultiert.

[0056] In Fig. 6 ist ein Querschnitt senkrecht zur Substratoberfläche 602 durch eine noch nicht fertiggestellte Leiterbahnanordnung 600 zu einem ersten Zeitpunkt während der zweiten Ausgestaltung des ersten Verfahrensteils zum Herstellen der Leiterbahnanordnung 100 gemäß Fig. 1 gezeigt.

[0057] Als Grundlage für die Metallätztechnik wird ein Substrat 601 mit einer Substratoberfläche 602 verwendet. Das Substratmaterial ist Siliziumdioxid (SiO_2). Auf der Substratoberfläche 602 befinden sich Leiterbahnen 603 aus Aluminium. Die Leiterbahnen 603 werden dadurch erzeugt, dass über der Substratoberfläche 602 zunächst eine flächige Aluminiumschicht erzeugt wird. Dann wird die Aluminiumschicht mittels üblicher Lithographie- und Ätztechniken strukturiert, wobei aus der Aluminiumschicht die Leiterbahnen 603 gebildet werden. Dabei erfolgt die Strukturierung der Aluminiumschicht entsprechend den gewünschten Formen und Positionen der Leiterbahnen 603.

[0058] Mittels einer konformen Abscheidung von Siliziumdioxid (SiO_2) wird über den Leiterbahnen 603 und der Substratoberfläche 602 eine konforme Deckschicht 701 erzeugt (vgl. noch nicht fertiggestellte Leiterbahnanordnung 700 in Fig. 7). Dabei werden auch die Zwischenräume zwischen den Leiterbahnen 603 mit Siliziumdioxid (SiO_2) gefüllt. Dabei sollte der Wert der Dicke der Deckschicht 701 größer als der Wert der Dicke der Leiterbahnen 603 sein. Die Dicke der Deckschicht 701 sollte folgendermaßen bemessen sein: Nach dem nachfolgenden Herstellungsschritt sollte einerseits noch ausreichend Siliziumdioxid (SiO_2) über den Leiterbahnen 603 vorhanden sein und andererseits eine ebene Oberfläche parallel zur Substratoberfläche 602 gebildet werden können.

[0059] Zum Erzeugen einer ebenen Deckschichtoberfläche 802 wird die Deckschicht 701 teilweise abgetragen, bis die Deckschichtoberfläche 802 flächig und parallel zur Substratoberfläche 602 orientiert ist (vgl. noch nicht fertiggestellte Leiterbahnanordnung 800 in Fig. 8). Aus der Deckschicht 701 wird dabei eine planarisierte Deckschicht 801 gebildet. Zum teilweisen Abtragen der Deckschicht 701 wird ein chemisch-mechanischer Poliervorgang verwendet. Der chemisch-mechanische Poliervorgang wird beendet, sobald der Abstand zwischen der Substratoberfläche 602 und der Deckschichtoberfläche 802 gleich der gewünschten Leiterbahntiefe T_L ist.

[0060] Fig. 9 zeigt einen Querschnitt senkrecht zur Substratoberfläche 102 durch eine noch nicht fertiggestellte Leiterbahnanordnung 900 zu einem ersten Zeitpunkt während des zweiten Verfahrensteils zum Herstellen der Leiterbahnanordnung 100 gemäß Fig. 1.

[0061] Die noch nicht fertiggestellte Leiterbahnanordnung 900 stellt die Resultate der beiden Ausführungsformen des ersten Verfahrensteils dar und ist der Ausgangspunkt für den zweiten Verfahrensteil. Dabei stellt das Substrat 101 mit den eingebetteten Leiterbahnen 103 eine Kombination des Substrats 201 mit den Leiterbahnen 401 und der Deckschicht 501 gemäß der ersten Ausführungsform dar. Die Substratoberfläche 102 ist dann mit der Deckschichtoberfläche 502 identisch. Alternativ kann das Substrat 101 mit den eingebetteten Leiterbahnen 103 auch eine Kombination des Substrats 601 mit den Leiterbahnen 603 und der planarisierten Deckschicht 801 gemäß der zweiten Ausführungsform sein. Die Substratoberfläche 102 ist in diesem Fall identisch mit der Deckschichtoberfläche 802.

[0062] In dem Substrat 101 werden mittels Ätzung von der Substratoberfläche 102 aus Hohlräume 105 und weitere Hohlräume 107 gebildet (vgl. noch nicht fertiggestellte Leiterbahnanordnung 1000 in Fig. 10). Die Hohlräume 105 sind zwischen benachbarten Leiterbahnen 103 angeordnet und weisen eine Hohlraumtiefe T_H auf. Der Wert der Hohlraumtiefe T_H ist größer als der Wert der Leiterbahntiefe T_L . Dadurch reduzieren die Hohlräume 105 die Streufelder zwischen benachbarten Leiterbahnen 103 in Ebenen direkt oberhalb bzw. unterhalb der Leiterbahnen 103.

[0063] Die weiteren Hohlräume 107 werden von den Leiterbahnen 103 nach unten begrenzt. Zwischen den jeweiligen Hohlräumen 105, den jeweiligen weiteren Hohlräumen 107 sowie zwischen den Hohlräumen 105 und den weiteren Hohlräumen 107 sind Pfosten 108 angeordnet, welche die Form eines geraden Prismas mit quadratischer Grundfläche aufweisen. Alternativ können die Pfosten 108 auch andere Formen aufweisen.

[0064] Die Hohlräume 105 sowie die weiteren Hohlräume 107 werden mittels üblicher Lithographie- und Ätzverfahren in das Substrat 101 eingebracht. Dabei sollte auf eine sorgfältige Strukturierung der Pfosten 108 geachtet werden, damit die nach Fertigstellung resultierende Leiterbahnanordnung 100 eine ausreichende mechanische Stabilität aufweist. Dabei muss ein Kompromiss zu der Forderung nach größtmöglichen Hohlräumen 105 zwischen benachbarten Leiterbahnen 103 gefunden werden. Es soll schließlich eine größtmögliche Reduzierung der effektiven relativen Dielektrizitätskonstante ϵ_r bei ausreichender mechanischer Stabilität der Leiterbahnanordnung 100 erreicht werden.

[0065] Bei der Wahl des verwendeten Ätzverfahrens kommt bevorzugt ein selektives Ätzverfahren zur Anwendung, welches das Material des Substrats 101, und damit das Siliziumdioxid (SiO_2), nicht jedoch das Metall der Leiterbahnen 103 entfernt. Alternativ können die Leiterbahnen 103 auch mit einer Ätzstoppschicht ummantelt sein, wenn sich das Siliziumdioxid (SiO_2) nicht selektiv zum Metall der

Leiterbahnen 103 ätzen lässt.

[0066] Nach dem Erzeugen der noch nicht fertiggestellten Leiterbahnanordnung 100 wird zum Herstellen der fertigen Leiterbahnanordnung 100 noch die Schicht 109 erzeugt.

[0067] Die Schicht 109 aus Siliziumdioxid (SiO_2) wird mittels eines nicht-konformen Verfahrens im Wesentlichen parallel zur Substratoberfläche 102 über den Pfosten 108, den Hohlräumen 105 und den weiteren Hohlräumen 107 erzeugt. Dazu wird das Siliziumdioxid (SiO_2) mittels eines CVD-Prozesses mit möglichst geringer Kantenbedeckung hauptsächlich auf den Resten der Substratoberfläche 102 und somit auf den Pfosten 108 abgeschieden. Dazu wird der CVD-Prozess mittels Druckerhöhung im diffusionsbestimmten Regime betrieben. Mittels einer kurzen isotropen Ätzung in einem Downstream-Ätzprozess wird möglicherweise tief in die Hohlräume 105 eingedrungenes Siliziumdioxid (SiO_2) wieder entfernt.

[0068] Während des nicht-konformen CVD-Prozesses dringt auf Grund der gewählten Struktur der Pfosten 108 kaum Siliziumdioxid (SiO_2) in die Hohlräume 105 und die weiteren Hohlräume 107 ein. Dadurch kommt es zu einer nur sehr geringen Bedeckung der Hohlraumwände mit Siliziumdioxid (SiO_2), wodurch die relative Dielektrizitätskonstante ϵ_r der fertigen Leiterbahnanordnung 100 nur unwesentlich beeinflusst wird.

[0069] Nachdem die Hohlräume 105 und die weiteren Hohlräume 107 von dem nicht-konform abgeschiedenen Siliziumdioxid (SiO_2) nach oben abgeschlossen sind, kann der Rest der Schicht 109 mittels konformen Aufbringens von Siliziumdioxid (SiO_2) erzeugt werden. Die Schicht 109 wird schließlich von einer parallel zur Substratoberfläche 102 ausgerichteten Schichtoberfläche 110 nach oben begrenzt. Als Material kann auch jedes andere isolierende Material verwendet werden, welches sich in einem nicht-konformen CVD-Prozess abscheiden lässt. Dies kann beispielsweise fluoriertes Silikatglas (FSG), oxidiertes Siliziumcarbid (SiOC) oder Polytetrafluorethylen (PTFE) sein.

[0070] Daraus resultiert dann die in Fig. 1 dargestellte fertige Leiterbahnanordnung 100.

[0071] Alternativ kann die Schicht 109 auch mittels eines Aufschleuderverfahrens auf die Pfosten 108 aufgebracht werden. Ein solches Verfahren wird vor allem dann verwendet, wenn die Oberflächenspannung des aufzuschleudernden Materials ausreichend groß ist. Die Benetzung der Substratoberfläche 102 sollte ausreichend gering sein, um ein Eindringen des aufzuschleudernden Materials in die Hohlräume 105 und die weiteren Hohlräume 107 zu reduzieren. Dies ist unter anderem bei Materialien wie beispielsweise Polybenzoxazol (PBO) oder aufgeschleudertem Glas (SOG = spin-on glass) der Fall.

[0072] In einem alternativen Ausführungsbeispiel der Erfindung kann vorgesehen sein, dass in dem Substrat 101 über den Leiterbahnen 103 keine weiteren Hohlräume 107 vorgesehen sind. Dadurch bleiben die Leiterbahnen 103 von dem isolierenden Material des Substrats 101 eingekapselt. Dies bietet den Vorteil, dass dadurch die Leiterbahnen 103 widerstandsfähiger gegen Elektromigration sein können. Unter Elektromigration ist die Wanderung von Material der Leiterbahnen 103 auf Grund von Stromfluss zu verstehen, was zum Auseinanderreißen der Leiterbahnen 103 führen kann. Die Reduzierung der Koppelkapazität zwischen benachbarten Leiterbahnen 103 wird dadurch nur unwesentlich beeinflusst.

[0073] Fig. 11 zeigt einen Querschnitt parallel zur Substratoberfläche 102 durch die Leiterbahnanordnung 100 gemäß Fig. 1.

[0074] In dieser Darstellung wird deutlich gemacht, dass in der Leiterbahnanordnung 100 gemäß dem Ausführungs-

beispiel auch elektrische Kontakte zu anderen Leiterbahnebenen vorgesehen sind. Im Übrigen verdeutlicht die Darstellung der Fig. 11 die Anordnung der Leiterbahnen 103, der Hohlräume 105 und der Pfosten 108.

[0075] Um elektrische Kontakte zwischen Leiterbahnebenen zu ermöglichen sind in der dargestellten Leiterbahnebene Kontaktlöcher 1100 vorgesehen. Die Kontaktlöcher 1100 können entsprechend mit elektrisch leitfähigem Material gefüllt werden. Im Bereich der Kontaktlöcher 1100 sind statt Pfosten 108 Kontaktlochisolierungen 1101 vorgesehen. Die Kontaktlochisolierungen 1101 verhindern bei der nachfolgenden Füllung der Kontaktlöcher 1100 mit elektrisch leitfähigem Material unerwünschte elektrische Kopplungen zwischen den Kontaktlöchern 1100 und/oder mit den Leiterbahnen 103. Solche unerwünschte elektrische Kopplungen könnten sonst auf Grund der Hohlräume 105 mittels verlaufendem elektrisch leitfähigem Material entstehen.

[0076] Die Leiterbahnen 103 weichen sich im Bereich der Kontaktlöcher 1100 auf und bilden Kontaktlochummantelungen 1102. Auf diese Weise können die Leiterbahnen 103 gezielt entweder elektrisch isoliert um die Kontaktlöcher 1100 herumgeführt werden oder an definierten Stellen mit den Kontaktlöchern elektrisch gekoppelt werden.

[0077] Für die Bildung einer erfindungsgemäßen Leiterbahnanordnung gemäß dem Ausführungsbeispiel können statt der gewählten Isolationsmaterialien sowie deren Herstellungsprozesse auch andere isolierende Materialien und Herstellungsprozesse verwendet werden.

[0078] Beispielsweise sind als zweites Isolationsmaterial für die Schicht 109 alle isolierenden low-k-Materialien mit einer niedrigen relativen Dielektrizitätskonstante ϵ_r geeignet, welche in einem Aufschleuderprozess ("Spin-on-Prozess") aufgebracht werden können und eine geringe Viskosität aufweisen. In einem Aufschleuderprozess wird das aufzubringende, meist flüssige Material während einer Schleuderbeschichtung mittels Aufschleudern auf die zu beschichtenden Flächen aufgebracht.

[0079] Wenn als zweites Isolationsmaterial ein low-k-Material mit hoher Viskosität verwendet wird und dadurch kein zweites Isolationsmaterial in die Hohlräume 105 und die weiteren Hohlräume 107 eindringt, kann das low-k-Material direkt zum Bilden der Schicht 109 verwendet werden. Andernfalls wird zunächst Siliziumdioxid (SiO_2) zum Abschluss der Hohlräume 105 und der weiteren Hohlräume 107 nicht-konform über den Pfosten 108 und erst danach das low-k-Material als Schicht 109 abgeschieden.

[0080] In diesem Dokument sind folgende Veröffentlichungen zitiert:

- [1] B. Shieh et al., Solid State Technology, pp. 51-58, February 1999
- [2] J. G. Fleming et al., Conference Proceedings ULSI XII, Materials Research Society, pp. 471-477, 1997
- [3] T. Ueda et al., IEEE Proc. 1998 Symp. VLSI Techn. Digest of Technical Papers, pp. 46-47, 1998
- [4] T. Kusuki et al., Extended Abstracts of the Electrochemical Society, Vol. 93, No. 1, p. 375, 1993

Bezugszeichenliste

- 100 Leiterbahnanordnung gemäß Ausführungsbeispiel
- 101 Substrat
- 102 Substratoberfläche
- 103 Leiterbahn
- 104 untere Leiterbahnoberfläche
- 105 Hohlraum
- 106 obere Leiterbahnoberfläche
- 107 weiterer Hohlraum
- 108 Pfosten

109 Schicht	
110 Schichtoberfläche	
T_L : Leiterbahntiefe	
T_H : Hohlraumtiefe	
200 noch nicht fertiggestellte Leiterbahnanordnung gemäß Ausführungsbeispiel zu einem ersten Zeitpunkt während eines ersten Herstellungsverfahrens	5
201 Substrat	
202 Substratoberfläche	
203 Graben	10
300 noch nicht fertiggestellte Leiterbahnanordnung gemäß Ausführungsbeispiel zu einem zweiten Zeitpunkt während des ersten Herstellungsverfahrens	
301 Metallschicht	
302 gefüllter Graben	15
400 noch nicht fertiggestellte Leiterbahnanordnung gemäß Ausführungsbeispiel zu einem dritten Zeitpunkt während des ersten Herstellungsverfahrens	
401 Leiterbahn	
500 noch nicht fertiggestellte Leiterbahnanordnung gemäß Ausführungsbeispiel zu einem vierten Zeitpunkt während des ersten Herstellungsverfahrens	20
501 Deckschicht	
502 Deckschichtoberfläche	
600 noch nicht fertiggestellte Leiterbahnanordnung gemäß Ausführungsbeispiel zu einem ersten Zeitpunkt während eines zweiten Herstellungsverfahrens	25
601 Substrat	
602 Substratoberfläche	
603 Leiterbahn	30
700 noch nicht fertiggestellte Leiterbahnanordnung gemäß Ausführungsbeispiel zu einem zweiten Zeitpunkt während des zweiten Herstellungsverfahrens	
701 Deckschicht	
800 noch nicht fertiggestellte Leiterbahnanordnung gemäß Ausführungsbeispiel zu einem dritten Zeitpunkt während des zweiten Herstellungsverfahrens	35
801 planarisierte Deckschicht	
802 Deckschichtoberfläche	
900 noch nicht fertiggestellte Leiterbahnanordnung gemäß Ausführungsbeispiel zu einem ersten Zeitpunkt während eines gemeinsamen weiteren Herstellungsverfahrens	40
1000 noch nicht fertiggestellte Leiterbahnanordnung gemäß Ausführungsbeispiel zu einem zweiten Zeitpunkt während des gemeinsamen weiteren Herstellungsverfahrens	45
1100 Kontaktloch	
1101 Kontaktlochisolierung	
1102 Kontaktlochummantelung	

Patentansprüche 50

1. Leiterbahnanordnung mit einem Substrat, wobei das Substrat ein erstes Isolationsmaterial und eine Substratoberfläche aufweist, mit mindestens zwei bezüglich der Substratoberfläche nebeneinander angeordneten Leiterbahnen, wobei die Leiterbahnen ein elektrisch leitfähiges Material aufweisen und in dem Substrat angeordnet sind, mit mehreren von der Substratoberfläche aus in das Substrat hineinragenden Hohlräumen, welche zwischen den Leiterbahnen angeordnet sind und bezüglich der Substratoberfläche tiefer als die Leiterbahnen in das Substrat hineinragen, und mit einer das Substrat überdeckenden Schicht, wobei die Schicht ein zweites Isolationsmaterial aufweist und die Hohlräume vollständig abschließt.
2. Leiterbahnanordnung gemäß Anspruch 1, bei der

- sich die Hohlräume teilweise in die Schicht erstrecken.
3. Leiterbahnanordnung gemäß Anspruch 1 oder 2, bei der die Schicht teilweise in die Hohlräume hineinreicht, wobei die Schicht von der Substratoberfläche aus betrachtet in den Hohlräumen eine abnehmende Dicke aufweist.
4. Leiterbahnanordnung gemäß einem der Ansprüche 1 bis 3, bei der sich zwischen den Leiterbahnen und der Substratoberfläche weitere Hohlräume befinden, wobei die Hohlräume tiefer in das Substrat hineinragen als die weiteren Hohlräume.
5. Leiterbahnanordnung gemäß einem der Ansprüche 1 bis 4, bei der die Schicht von einer parallel zur Substratoberfläche angeordneten Schichtoberfläche begrenzt ist.
6. Leiterbahnanordnung gemäß einem der Ansprüche 1 bis 5, bei der die Leiterbahnen im Wesentlichen in gleicher Tiefe bezüglich der Substratoberfläche angeordnet sind und bei der die Hohlräume im Wesentlichen senkrecht in das Substrat hineinragen.
7. Leiterbahnanordnung gemäß einem der Ansprüche 1 bis 6, bei der die Leiterbahnen von einer dünnen Kapselschicht aus einem Kapselmaterial eingekapselt sind, wobei das Kapselmaterial mechanisch härter als das elektrisch leitfähige Material sowie mechanisch härter als das erste Isolationsmaterial ist.
8. Leiterbahnanordnung gemäß Anspruch 7, bei der das Kapselmaterial eine Nitrid-Verbindung ist.
9. Leiterbahnanordnung gemäß einem der Ansprüche 1 bis 8, bei der das erste Isolationsmaterial und/oder das zweite Isolationsmaterial ein low-k-Material sind/ist, das eine relative Dielektrizitätskonstante ϵ_r im Bereich zwischen 1 und 4 hat.
10. Leiterbahnanordnung gemäß einem der Ansprüche 1 bis 9, bei der das erste Isolationsmaterial und/oder das zweite Isolationsmaterial ein organisches Material aufweisen/aufweist.
11. Leiterbahnanordnung gemäß einem der Ansprüche 1 bis 9, bei der das erste Isolationsmaterial Siliziumdioxid aufweist.
12. Verfahren zum Herstellen einer Leiterbahnanordnung, bei dem in einem Substrat unter einer Substratoberfläche mindestens zwei Leiterbahnen erzeugt werden, wobei das Substrat ein erstes Isolationsmaterial und die Leiterbahnen ein elektrisch leitfähiges Material aufweisen, und wobei die Leiterbahnen nebeneinander in dem Substrat angeordnet werden, bei dem von der Substratoberfläche aus in das Substrat hineinragende, zwischen den Leiterbahnen sich erstreckende Hohlräume erzeugt werden, wobei sich die Hohlräume tiefer in das Substrat hinein erstrecken als die Leiterbahnen, und bei dem über dem Substrat eine Schicht aus einem zweiten Isolationsmaterial erzeugt wird, wodurch die Hohlräume vollständig abgeschlossen werden, und wobei aus dem Substrat, den vergrabenen Leiterbahnen und der Schicht die Leiterbahnanordnung gebildet wird.
13. Verfahren gemäß Anspruch 12, bei dem vor dem Erzeugen der Schicht in dem Substrat zwischen der Substratoberfläche und den Leiterbahnen weitere Hohlräume über den Leiterbahnen erzeugt werden, welche sich in geringerer Tiefe in das Substrat hinein erstrecken als die Hohlräume.
14. Verfahren gemäß Anspruch 12 oder 13, bei dem die vergrabenen Leiterbahnen mit einer dünnen Kapselschicht aus einem Kapselmaterial eingekapselt wer-

den, wobei das Kapselmaterial mechanisch härter als das elektrisch leitfähige Material sowie mechanisch härter als das erste Isolationsmaterial ist.

15. Verfahren gemäß einem der Ansprüche 12 bis 14, bei dem die Schicht über dem Substrat und den Hohlräumen in einem Prozess mit einer geringen Kantenbedeckung erzeugt wird. 5

16. Verfahren gemäß einem der Ansprüche 12 bis 15, bei dem die Leiterbahnen im Wesentlichen parallel zur Substratoberfläche angeordnet werden und bei dem die Hohlräume im Wesentlichen senkrecht in das Substrat hineinragend erzeugt werden. 10

Hierzu 6 Seite(n) Zeichnungen

15

20

25

30

35

40

45

50

55

60

65

FIG 1

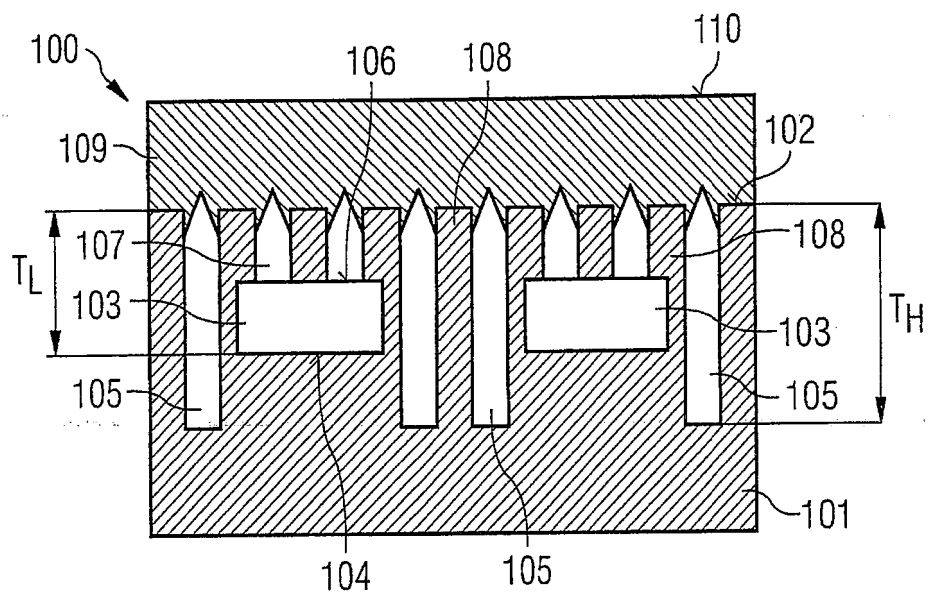


FIG 2

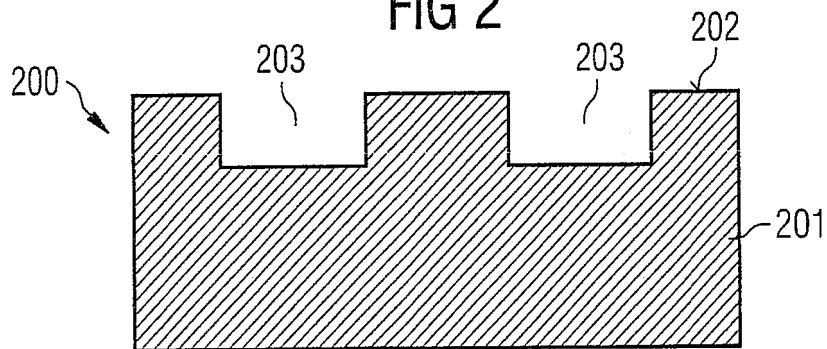


FIG 3

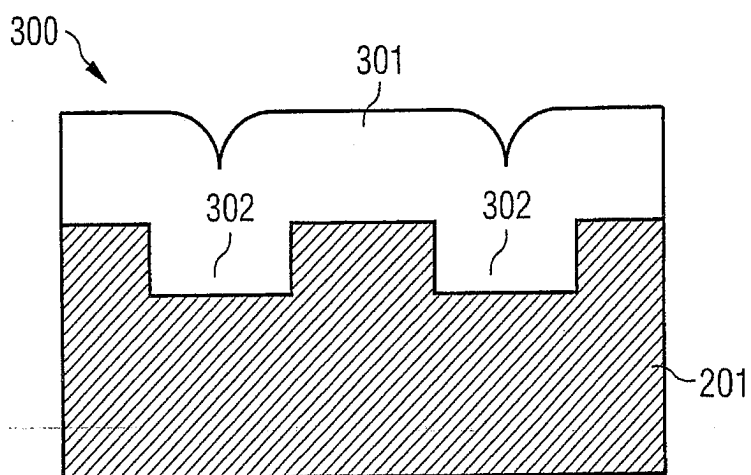


FIG 4

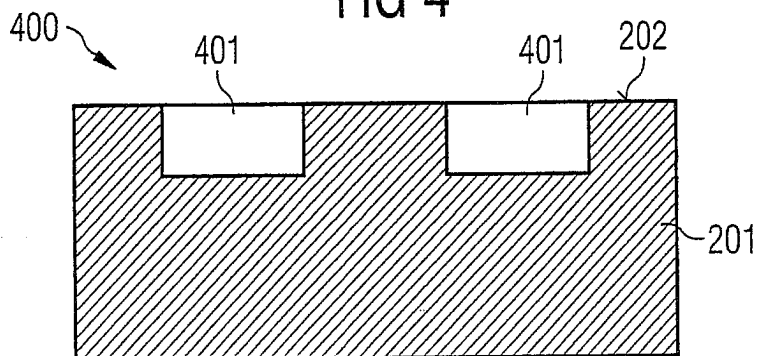


FIG 5

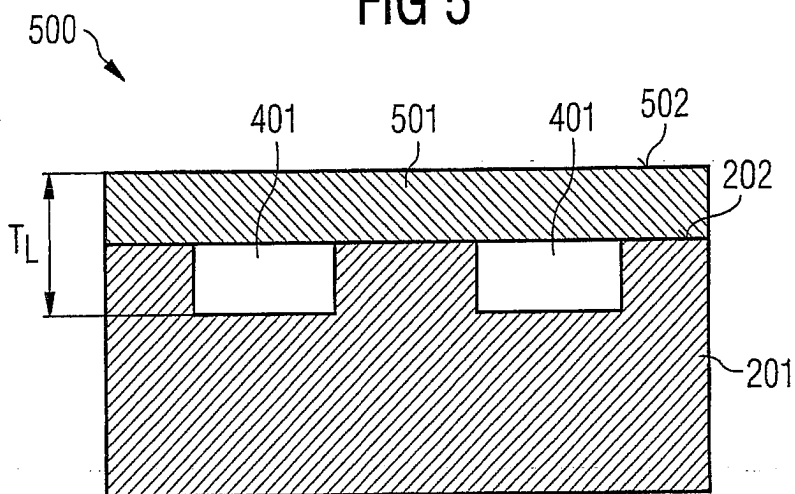


FIG 6

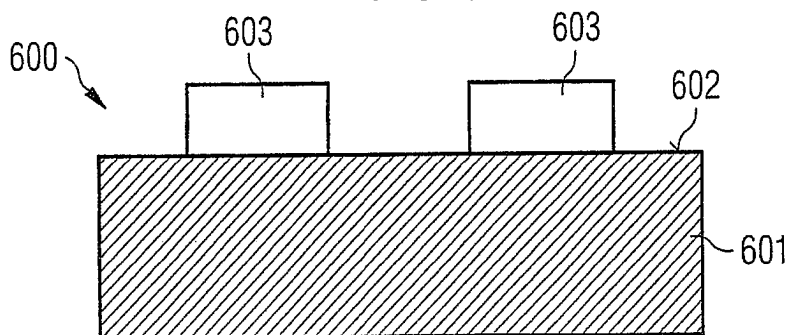


FIG 7

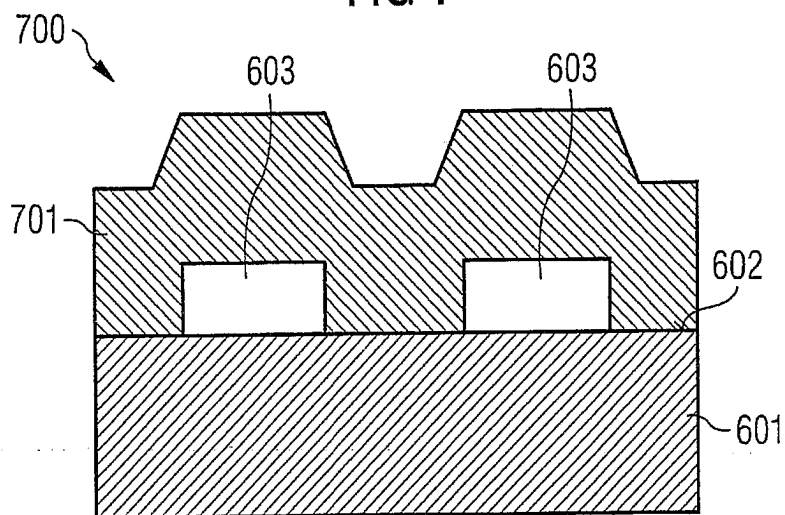


FIG 8

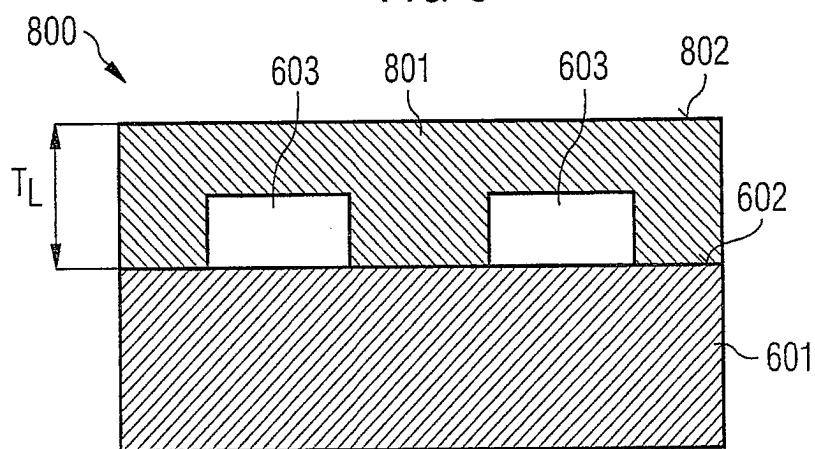


FIG 9

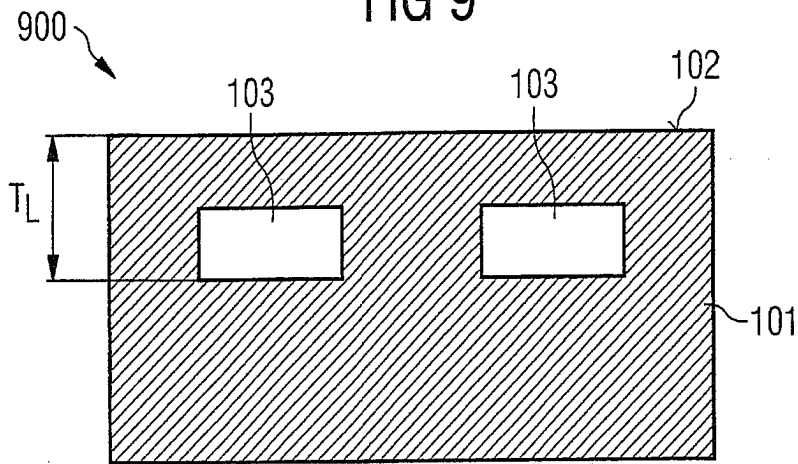


FIG 10

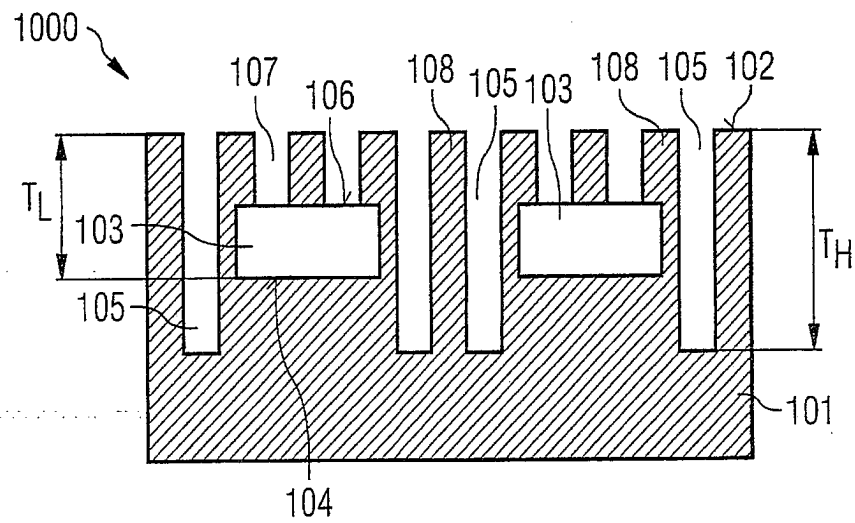


FIG 11

